

CLIPPEDIMAGE= JP406124843A

PAT-NO: JP406124843A

DOCUMENT-IDENTIFIER: JP 06124843 A

TITLE: HIGH FREQUENCY USE THIN FILM TRANSFORMER

PUBN-DATE: May 6, 1994

INVENTOR-INFORMATION:

NAME

MINO, MASATO

YANAI, TOSHIAKI

ASSIGNEE-INFORMATION:

NAME	COUNTRY
NIPPON TELEGR & TELEPH CORP <NTT>	N/A

APPL-NO: JP04274715

APPL-DATE: October 14, 1992

INT-CL (IPC): H01F031/00;H01F017/00

US-CL-CURRENT: 336/177

ABSTRACT:

PURPOSE: To miniaturize a high frequency use thin film transformer and improve the performance by suppressing inductance reduction and the rapid increase of high frequency conductor resistance and improving the coupling between primary and secondary conductors.

CONSTITUTION: Top and bottom magnetic layers 8 and 14 are connected at a through hole 15 and a primary and a secondary conductors 10 and 12 are permitted to be covered vertically and horizontally in the longitudinal direction by a magnetic body which has a closed magnetic circuit. The closed magnetic circuit structure remarkably reduces diamagnetic field, which causes inductance deterioration, in the magnetic layers 8 and 14, permits the interval between the adjacent conductors to be extremely small and the thin film transformer is miniaturized. At the same time, leakage flux is reduced, a rapid increase of the high frequency conductor resistance due to eddy current generated by the interlinkage of the leakage flux and the conductors 10 and 12 is suppressed and a high Q value is allowed. Primary side and secondary side conductors 8 and 14 are arranged in the closed magnetic circuit structured magnetic body and a high coupling coefficient is allowed.

COPYRIGHT: (C)1994,JPO&Japio

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-124843

(43)公開日 平成6年(1994)5月6日

(51)Int.Cl.  
H 01 F 31/00  
17/00

識別記号 庁内整理番号  
8834-5E  
A 7129-5E

F I

技術表示箇所

審査請求 未請求 請求項の数 2(全 8 頁)

(21)出願番号 特願平4-274715  
(22)出願日 平成4年(1992)10月14日

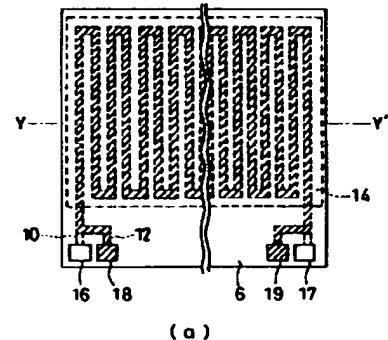
(71)出願人 000004226  
日本電信電話株式会社  
東京都千代田区内幸町一丁目1番6号  
(72)発明者 三野 正人  
東京都千代田区内幸町1丁目1番6号 日  
本電信電話株式会社内  
(72)発明者 谷内 利明  
東京都千代田区内幸町1丁目1番6号 日  
本電信電話株式会社内  
(74)代理人 弁理士 志賀 富士弥

(54)【発明の名称】 高周波用薄膜トランス

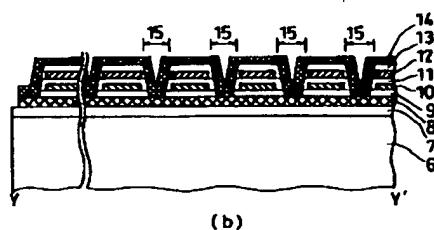
(57)【要約】

【目的】 高周波用薄膜トランスにおいて、小形化・高性能化するために、インダクタンスの減少ならびに高周波における導体抵抗の急増を抑え、かつ、1次側・2次側導体間の結合を向上させる。

【構成】 上下磁性層8, 14をスルーホール部15で連続させて、1次側・2次側導体10, 12が長手方向の上下左右において閉磁路構造を持つ磁性体に包まれる構造を持たせる。この閉磁路構造により、インダクタンス低下の原因である磁性層8, 14中での反磁界を著しく減少させ、隣接導体間隔を極端に小さくして、薄膜トランスの小形化を可能にする。同時に、漏れ磁束を減少させ、漏れ磁束と導体10, 12の錯交で発生する渦電流による高周波での導体抵抗急増を抑え、高いQ値の実現を可能にする。さらに、閉磁路構造の磁性体中に1次側・2次側導体8, 14を設置することで、高い結合係数を実現する。



(a)



(b)

6---底版  
7,9,11,13---絶縁層  
8---下部磁性層  
10---1次側導体  
12---2次側導体  
14---上部磁性層  
15---底板層のスルーホール部

## 【特許請求の範囲】

【請求項1】少なくとも2本以上の互いに平行に配置された構造を持つ1次側および2次側導体の上下に磁性層が配置されて構成される薄膜トランスにおいて、前記磁性層が前記1次側および2次側導体の長手方向の上下左右を取り囲む断面構造を持つことを特徴とする高周波用薄膜トランス。

【請求項2】請求項1記載の高周波用薄膜トランスにおいて、1次側導体あるいは2次側導体が、前記2次側導体あるいは1次側導体の長手方向の上下左右を取り囲む断面構造を持つことを特徴とする高周波用薄膜トランス。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、コンバータやスイッチング電源等に好適で、小形に構成された高周波特性に優れるインダクタ・トランスに関するものである。

## 【0002】

【従来の技術】近年、電子機器構成部品の小形化・軽量化の要請は厳しく、高品質な電力が得られるスイッチング電源等においても小形化は必須の課題であり、スイッチング周波数の高周波化により、トランス、コンデンサ等の部品を小さくすることで小形化が進められてきた。半導体部品やコンデンサ部品では、LSIや積層セラミックコンデンサに代表されるように、早くから薄膜技術が用いられ、構成部品小形化の要請に十分応えてきた。一方、トランスはこれまでに最も小形化しにくく、また高周波化に伴う損失増加を抑えることが難しいため、電源の小形化を妨げる第一の原因であった。このため、現在、高周波スイッチング電源の体積は、トランスによって決定されると言っても過言ではない。そこで近年、高周波化に対応すべく薄膜形成技術を用いた薄膜トランスの研究が進められ、スイッチング周波数をMHz帯域まで高めた小形電源の開発が強く望まれるようになった。

(例えば、T. YACHI, M. MINO, A. TAGO, and K. YANAGISAWA, PESC'91 RECORDS, pp. 20-26, 1991や、山口、大沼、今川、鳥生、電気学会研究会資料、MAG-91-62, 1991.) 図8に従来の薄膜形成技術で作製されたつづら折れ形薄膜トランスの平面図(a)およびその平面図のX-X'断面構造模式図(b)を示す。図中、1は基板、2は下部磁性層、3は1次側導体、4は2次側導体、5は上部磁性層であり、各層とも絶縁層を介して成膜されており、互いに絶縁されている。従来、この種の薄膜トランスの作製は、以下のように行われていた。すなわち、表面が絶縁性である基板1上に、バーマロイ、CoZrRe、CoZrNb、CoFeSiB等の磁性層をスパッタ法等の薄膜形成手法で成膜し、これをバーニングして平板状の下部磁性層2を形成し、この上に絶縁層をフォトレジスト、Si

O<sub>2</sub>、SiO、Al<sub>2</sub>O<sub>3</sub>、ポリイミド樹脂等で形成し、これを平坦化したのちCu、Ag、Al等の導体層を電子ビーム蒸着法やスパッタ法等で形成し、バーニングしてつづら折れ形状の1次側導体3とする。さらにこの上にふたたび絶縁層を形成し平坦化を行う。そして、1次側導体3の外部接続用端子部分にイオンビームエッチング法等によりスルーホールを形成し、端子部の窓開けを行う。さらに、導体層を電子ビーム蒸着法やスパッタ法等で形成し、上記スルーホール部を充填するととも

10 に、バーニングしてつづら折れ形状の2次側導体4とする。そして、この上に絶縁層を形成し、平坦化したのち、磁性層を形成し、バーニングで平板状の上部磁性層5を作製する。最後に1次側、2次側導体層の外部端子部分にイオンビームエッチング法等により窓開けを行い完成する。こうして作製された薄膜トランスでは、1次側導体3と2次側導体4との結合は、上下磁性層2、5間の漏れ磁束によって結合する構造となっている。

## 【0003】

【発明が解決しようとする課題】図9は、上記の従来例のつづら折れ形薄膜トランスの磁界分布を示す断面図であり、1次側導体3に電流を流した時に発生する磁束分布を矢印で示したものである。なお、図中の

## 【0004】

## 【数1】

◎ および ◎

【0005】は、前者が紙面の鉛直方向に紙面の裏側から表側に流れる電流の向きを表わし、後者がその逆の向きを表わしている。このような薄膜トランスにおいては、図中に示すように、隣合う導体には互いに反平行な電流が流れるため、導体3、4からの磁界によって、磁性層2、5中は、互いに反平行な磁界が発生する領域に分割され、そのため、反磁界によるインダクタンス低下が現出する。したがって、導体間隔が大きい場合には問題は比較的小さいが、小形化するために隣接導体の間隔を狭めていくと、インダクタンスは著しく低下し、小形のつづら折れ形薄膜トランスを開発する上で極めて大きな問題となっていた。また、上下の磁性層2、5間を漏れる磁束が導体3、4と錯交することにより、導体3、4中に漏電流が発生し、高周波における導体抵抗の急増をまねき、性能特性値Q値( $\omega L/R$ )を減少させる要因となっていた。さらに、ギャップの大きい上下磁性層2、5間を流れる磁束により、1次側導体3と2次側導体4が結合するため、トランスとしての結合が小さい欠点を持っている。そのため、小形薄膜トランスにはつづら折れ構造は適さず、研究開発は小形化効果の大きい螺旋構造薄膜トランスやスパイラルコイル形薄膜トランスを中心として進められているのが、現状である。(例えば、T. YACHI, M. MINO, and K. YANAGISAWA, PESC'91 RECORDS, pp. 20-26, 1991. や、山口、大沼、今川、

鳥生、電気学会研究会資料、MAG-91-62、1991.）。

【0006】本発明は、上記問題点を克服し、薄膜トランジットを小形化・高性能化するために、インダクタンスの減少ならびに高周波における導体抵抗の急増を抑え、かつ、1次側・2次側導体間の結合を向上させ、特につづら折れ形薄膜トランジットに好適な新規の構造を提案することを目的とするものである。

【0007】

【課題を解決するための手段】上記目的を達成するため、本発明の高周波用薄膜トランジットにおいては、トランジットを構成する磁性体すなわち磁性層の形状に凹凸を付け、上下の磁性層により導体長手方向の上下左右を取り囲み、導体が閉磁路構造を持つ磁性体に包まれる構造を持つことを特徴とするとともに、さらに、上記の構成において、1次側・2次側導体間の結合を高めるために、1次側導体あるいは2次側導体が、2次側導体あるいは1次側導体の長手方向の上下左右を取り囲む矩形の同軸断面構造を持つことを特徴としている。

【0008】

【作用】本発明の高周波用薄膜トランジットにおいては、構成する磁性層の形状に凹凸を付け、上下の磁性層により導体長手方向の上下左右を取り囲み、導体が閉磁路構造を持つ磁性体に包まれている構造を持つ。これにより、これまでインダクタンス低下の原因となっていた磁性層中の反磁界を、閉磁路構造とすることで著しく減少させ、隣接導体間隔を極端に小さくして、つづら折れ形薄膜トランジットの小形化を可能にする。同時に、磁性体を閉磁路構造とすることで、漏れ磁束を減少させ、漏れ磁束と導体が錯交することにより発生した渦電流による高周波での導体抵抗急増を抑えて、高いQ値を持つトランジットを提供可能とする。一方、閉磁路構造を持つ上下の磁性層間の漏れ磁束によりトランジットの1次側・2次側導体間を結合させていた従来の薄膜トランジットに比べて、閉磁路構造の磁性体中に1次側・2次側導体を設置する構造とすることで、薄膜トランジットの結合係数を向上させる。さらに、導体の構造を矩形の同軸断面形状とすることにより、1次側・2次側間の結合をより一層向上させる。

【0009】

【実施例】以下、本発明の一実施例を、図面を参照して詳細に説明する。

【0010】【実施例1】図1は本発明の第1の実施例を示す薄膜トランジットの平面図(a)およびその平面図のY-Y'断面構造模式図(b)である。図中、6は基板、7は絶縁層、8は下部磁性層、9は絶縁層、10は1次側導体、11は絶縁層、12は2次側導体、13は絶縁層、14は上部磁性層、15は磁性層のスルーホール部、16、17は1次側外部接続用端子、18、19は2次側外部接続用端子である。

【0011】引き続いて本実施例の作製方法について詳細に述べる。初めに基板6上にスパッタ法等によりSiO<sub>2</sub>等の絶縁層7を形成する。その上にバーマロイ、CoZrRe、CoFeSiB等の磁性膜をスパッタ法等で堆積し、イオンビームエッチング法等でバーニングして下部磁性層8を作製する。その後、上記と同様にSiO<sub>2</sub>等を堆積し、平坦化処理を行い絶縁層9を作製する。引き続いて絶縁層9上にCu等の導体層を電子ビーム蒸着法等で成膜し、この導体層をイオンビームエッチング法等でバーニングしてつづら折れ形状の1次側導体10を形成する。この時、1次側外部接続用端子16、17を同時に作製する。その後、上記と同様にSiO<sub>2</sub>等を堆積し、平坦化処理を行い絶縁層11とする。この時、1次側導体10の外部接続用端子16、17部分に絶縁層11を貫通するスルーホールをイオンビームエッチング法等により作製する。その後、絶縁層11上にCu等の導体層を電子ビーム蒸着法等で成膜し、前記スルーホールを充填するとともに、この導体層をイオンビームエッチング法等でバーニングしてつづら折れ形状の2次側導体12を形成する。この時、2次側導体の外部接続用端子18、19を同時に作製する。さらに、上記と同様にSiO<sub>2</sub>等を堆積し、平坦化処理を行い絶縁層13とする。そして、上下の磁性層を接続するために、導体12の隣接する空隙部分ならびに導体外周部に絶縁層9、11、13を貫通するスルーホール部15をイオンビームエッチング等により形成する。図2に上記スルーホール部15のパターン図を示す。さらに、磁性膜をスパッタリング法等により成膜し、上記スルーホール部15中に磁性層を形成するとともに、磁性層をバーニングして上部磁性層14とする。最後に、つづら折れ形状の導体10、12の端子16～19部分に絶縁層13を貫通するスルーホールを開けて外部端子とし、本発明の薄膜トランジットを得る。

【0012】以上のように構成した実施例の作用を図8の従来例と比較して述べる。本実施例では、スルーホール部15によって1次側・2次側導体の長手方向の上下左右を取り囲うように、上下磁性層8、14が連続し、閉磁路構造が形成される。図3は薄膜トランジットを構成する磁性層の磁性膜透磁率、導体幅、導体厚さ、磁性膜厚さを一定とし、左右に隣接する1次側あるいは2次側の導体間隔を変化させたときのインダクタンス値と導体間隔の関係を計算により求めた図で、本実施例と従来例の場合を併せて示している。

【0013】インダクタンスの計算は、各導体を周回する磁路を仮定し、その磁気抵抗Rを求め、その和の逆数から求めている。なお、磁気抵抗Rは以下の式で表される。

【0014】

【数2】

$$R = \frac{l}{\mu_0 \cdot \mu^* \cdot A} \quad \text{5}$$

【0015】ただし、 $l$ は磁性体の長さ、 $\mu_0$ は真空の透磁率、

【0016】

【数3】

$$\mu^*$$

【0017】は磁性体の比透磁率、 $A$ は磁性体の断面積である。さらに、計算では1次側導体のみとし、2次側導体の影響は無視した。

【0018】まず、従来構造のつづら折れ形薄膜トランジストで、図10(a)のように磁路を仮定し、磁気抵抗 $R_1 \sim R_4$ を求める。

【0019】

$$L = \frac{1}{R_1 + R_2 + R_3 + R_4} \cdot 2N \quad \text{*}$$

$$= \frac{1}{\mu_0 \cdot a^2} \cdot \frac{2(2N-1)g}{N} + \frac{a^2}{(2N-1)N\mu^*t_m} \quad \text{※} \quad \mu^*$$

【0022】あらわせる。ただし、 $N$ は導体101のつづら折れターン数、 $a$ は正方形のつづら折れ形薄膜トランジストの一辺の長さ、 $t_m$ は磁性層102の磁性膜の厚さ、 $g$ は絶縁層100を介した上下磁性層102のギャップ、 $\mu_0$ は真空の透磁率、

【0023】

【数6】

$$R_1 = R_2 = \frac{\ast}{(g' + t_m)} \quad \text{※} \quad \text{【数7】}$$

$$\mu_0 \cdot \mu^* \cdot \frac{1}{2} \left( \frac{a}{2N-1} - d \right) \cdot 2aN$$

$$R_3 = R_4 = \frac{\frac{1}{2} \left( \frac{a}{2N-1} - d \right) + d}{\mu_0 \cdot \mu^* \cdot t_m \cdot 2aN}$$

【0027】となり、

【0028】

★【数8】

$$L = \frac{1}{R_1 + R_2 + R_3 + R_4} \quad \text{★}$$

$$= \frac{\mu_0 \cdot \mu^* \cdot a}{\frac{a + (2N-1)h}{2(2N-1)Nt_m} + \frac{2(2N-1)(g' + t_m)}{N[a - (2N-1)d]}} \quad \mu^*$$

【0029】ただし、 $N$ は導体101のつづら折れターン数、 $a$ は正方形のつづら折れ形薄膜トランジストの一辺の長さ、 $t_m$ は磁性層102の被り厚さ、 $g'$ は導体101と絶縁層100の厚さの和、 $\mu_0$ は真空の透磁率、

【0030】

★【数9】

【0031】は磁性層102の比透磁率、 $d$ は導体101を囲む絶縁層100の幅である。

★50 【0032】上記の式により求めた図3の導体間隔(m)

m)とインダクタンス[H]との関係を示すグラフにおいて、実線は本発明技術によるインダクタンスの計算値を示し、印は実測値を示している。一方、破線は、従来技術によるインダクタンスの計算値を示している。従来技術では、隣合う導体には互いに反平行な電流が流れ、そのため、導体からの磁界によって、磁性層中は互いに反平行な磁界が発生する領域に分割されるため、インダクタンスは導体間隔が狭くなるにつれ著しく減少する。一方、本実施例では、従来技術に見られる磁性層中の反磁界に起因するインダクタンスの低下は見られず、逆に、導体間隔が20μm程度までインダクタンスは増加する。実測データが計算値よりもやや大きな値を示しているのは、計算では空心のインダクタンスを考慮していないためである。

【0033】また、1次側・2次側間の結合係数を比較した結果、従来技術では0.1~0.2程度であったが、本実施例では0.90~0.96という極めて高い値が得られた。

【0034】以上のように、測定したすべての範囲で従来技術に比べ本技術が優れており、従来技術では困難であった導体間隔を狭くした狭ピッチ化による小形化が可能である。また同時に、上下磁性層間の漏れ磁束が著しく減少するため、漏れ磁束に起因した導体抵抗の急増も少なく、結合係数が著しく向上する。

【0035】【実施例2】以下、本発明の第2の実施例を、図面を参照して詳細に説明する。図4はその構成を示す薄膜トランスの平面図(a)およびその平面図のZ-Z'断面構造模式図(b)である。図中、20は基板、21は絶縁層、22は下部磁性層、23は絶縁層、24は1次側導体、25は2次側導体、26は絶縁層、27は上部磁性膜、28は磁性層のスルーホール部、50, 51は1次側外部接続用端子、52, 53は2次側外部接続用端子である。第1の実施例と同様に上下磁性層を接続するためのスルーホール部28のパターン図を図5に示す。第1の実施例との差異は、1次側導体と2次側導体の配置を上下配置から水平配置に変え、導体形成工程を簡略化したことであり、上下磁性層22, 27をスルーホール部28により連続させて、1次側・2次側導体24, 25の長手方向の上下左右を囲う閉磁路構造とする点は共通である。

【0036】以上のように構成した実施例では、第1の実施例に比べ若干インダクタンス値は減少するものの、トランスの結合係数は第1の実施例と同じく0.90~0.96の値が得られる。このように、1次側・2次側導体を水平配置し、工程を簡略しても本発明の効果が得られ、従来技術では困難であった導体間隔を狭くした狭ピッチ化による小形化が可能である。また同時に、上下磁性層22, 27間の漏れ磁束が著しく減少するため、漏れ磁束に起因した導体抵抗の急増も少なく、結合係数が著しく向上する。

【0037】【実施例3】以下、本発明の第3の実施例を、図面を参照して詳細に説明する。図6はその構成を示すつづら折れ薄膜トランスの平面図(a)およびその平面図のα-α'断面模式図(b)である。本実施例は、第1の実施例と同じ磁性体構造を持つことは共通であり、1次側・2次側導体の構造を矩形の同軸断面形状としていることを特徴としている。図中、30は基板、31は絶縁層、32は下部磁性層、33は絶縁層、34は1次側導体、35は2次側導体、36は絶縁層、37は上部磁性層、38は磁性層スルーホール部、39, 42は1次側外部接続用端子、40, 41は2次側外部接続用端子である。

【0038】引き続き本実施例の作製方法について詳細に述べる。初めに基板30上にスパッタ法等によりSiO<sub>2</sub>等の絶縁層31を形成する。その上にパーマロイ、CoZrRe、CoFeSiB等の磁性膜をスパッタリング法等で堆積し、イオンビームエッティング法等でバーナーニングして下部磁性層32を作製する。その後、上記と同様にSiO<sub>2</sub>等を堆積し、平坦化処理を行い絶縁層33を作製する。引き続いて絶縁層33上にCu等の導体層を電子ビーム蒸着法等で成膜し、この導体層をイオンビームエッティング法等でバーナーニングしてつづら折れ形状の2次側導体35の矩形下辺部ならびに2次側外部接続用端子39, 42を形成する。その後、上記と同様にSiO<sub>2</sub>等を堆積し、平坦化処理を行い絶縁層36とする。次に絶縁層36において2次側導体35の、矩形側壁部を形成する領域と1次側導体部分にイオンビームエッティング法等によりスルーホールを形成する。そして、Cu等の導体層を電子ビーム蒸着法等で成膜したのち、イオンビームエッティング法等によりバーナーニングを行い、2次側導体35の矩形側壁部、1次側導体34ならびに1次側外部接続用端子40, 41を形成する。その上に上記と同様に絶縁層を形成し平坦化を行ったのち、バーナーニングを行い、1次側導体34上部に絶縁層を作製したのち、2次側導体35の矩形側壁部にイオンビームエッティング法等によりスルーホールを作製する。その後、Cu等の導体層を電子ビーム蒸着法等で成膜したのち、イオンビームエッティング法等によりバーナーニングを行い、2次側導体35の矩形上辺部を作製する。そして、隣接する同軸導体の空隙部分ならびに導体外周部に図7に示すようなスルーホール部38をイオンビームエッティング法等により形成する。そして、上記スルーホール部38中に磁性層を形成するとともに、この磁性層をバーナーニングして上部磁性層37とする。最後に接続用端子39~42部分に絶縁膜を貫通するスルーホールを開けて外部端子とし、本発明薄膜トランスを得る。

【0039】こうして作製した実施例のつづら折れ形薄膜トランスでは、インダクタンスの値は実施例1とほぼ同じ値を持ち、従来例と比べて大幅に向上している。一

方、結合係数は、導体構造が同軸断面形状を持つため、結合係数はさらに向上し、0.97~0.99の値が得られた。

【0040】なお、以上の3つの実施例では、つづら折れ回数N回の薄膜トランスとして1次側・2次側導体を設けているが、1次側導体と2次側導体とを外部端子部分で直列接続し、つづら折れ回数2Nの薄膜インダクタとして使用することも可能である。また、導体構造の同軸断面形状化による結合係数の向上は、つづら折れ構造薄膜トランスのみならず、スパイラル構造薄膜トランスにおいても同等の効果を与えることは言うまでもない。

#### 【0041】

【発明の効果】以上の説明で明らかなように、本発明の高周波用薄膜トランスによれば、従来構造の場合に顕著に現れた導体間隔の狭間隔化に伴うインダクタンスの減少は見られず、むしろ狭間隔化によりインダクタンスは向上する特性を持つ。さらに、本発明構造により、1次側・2次側導体間の結合係数が大幅に向上し、トランスとしての特性が著しく向上する。従って、本発明構造により、狭間隔化・高結合係数化が達成され、小形・高性能化を同時に確保した薄膜トランスを提供することが可能となる。なお、請求項2の発明によれば、特に、上記結合係数をより一層向上させることができる。

#### 【図面の簡単な説明】

【図1】(a)は本発明実施例1の平面図、(b)はその平面図のY-Y'断面構造模式図

【図2】本発明実施例1の磁性層のスルーホール部のパターン図

【図3】導体間隔とインダクタンスの関係を示す計算値ならびに実測値(本発明薄膜トランスと従来技術による薄膜トランス)を表わすグラフ

【図4】(a)は本発明実施例2の平面図、(b)はその平面図のZ-Z'断面構造模式図

【図5】本発明実施例2の磁性層のスルーホール部のパターン図

【図6】(a)は本発明実施例3の平面図、(b)はその平面図のα-α'断面構造模式図

【図7】本発明実施例3の磁性層のスルーホール部のパターン図

【図8】(a)は従来技術によるつづら折れ形薄膜トランスの平面図、(b)はその平面図のX-X'断面構造模式図

【図9】従来技術によるつづら折れ形薄膜トランスの磁界分布を示す断面模式図

【図10】(a), (b)は計算に使用した磁路構造モデル図

#### 【符号の説明】

6…基板

7, 9, 11, 13…絶縁層

8…下部磁性層

10…1次側導体

12…2次側導体

14…上部磁性層

15…磁性層のスルーホール部

16, 17…1次側外部接続用端子

18, 19…2次側外部接続用端子

20…基板

21, 23, 26…絶縁層

22…下部磁性層

24…1次側導体

25…2次側導体

27…上部磁性層

28…磁性層のスルーホール部

50, 51…1次側外部接続用端子

52, 53…2次側外部接続用端子

30…基板

31, 33, 36…絶縁層

32…下部磁性層

34…1次側導体

35…2次側導体

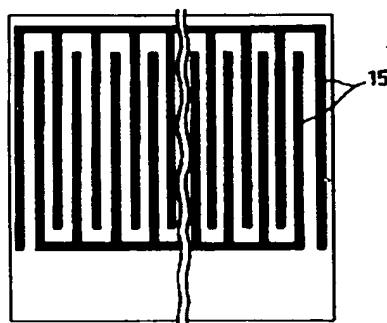
37…上部磁性層

38…磁性層のスルーホール部

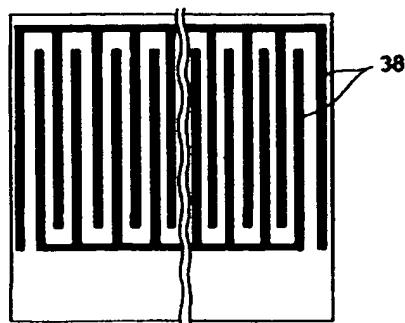
39, 42…1次側外部接続用端子

40, 41…2次側外部接続用端子

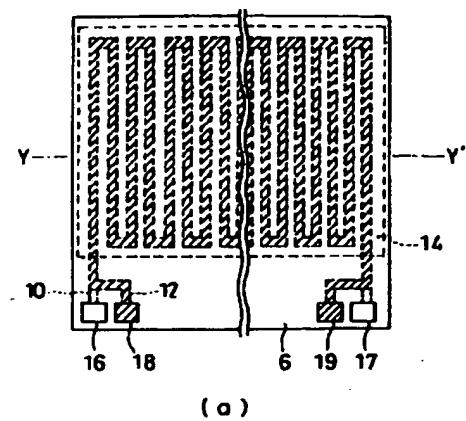
【図2】



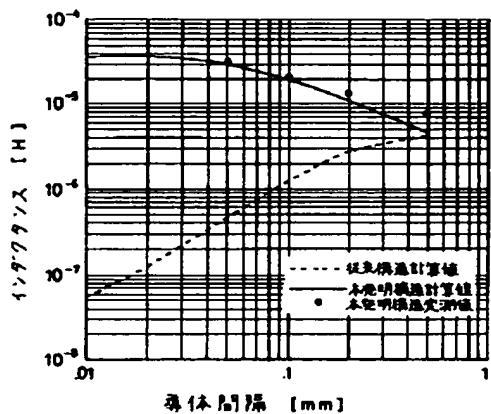
【図7】



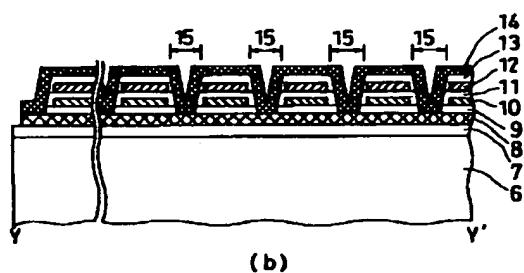
【図1】



【図3】



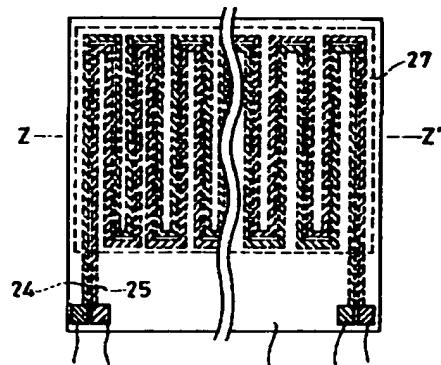
(a)



(b)

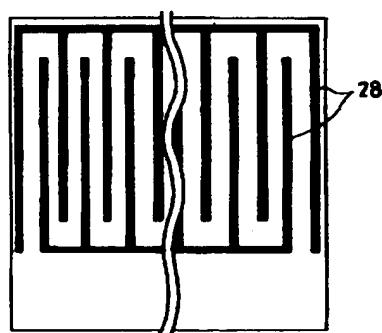
6---基板  
7,9,11,13---絶縁層  
8---下部磁性層  
10---1次側導体  
12---2次側導体  
14---上部磁性層  
15---磁性層のスルーホール部

【図4】



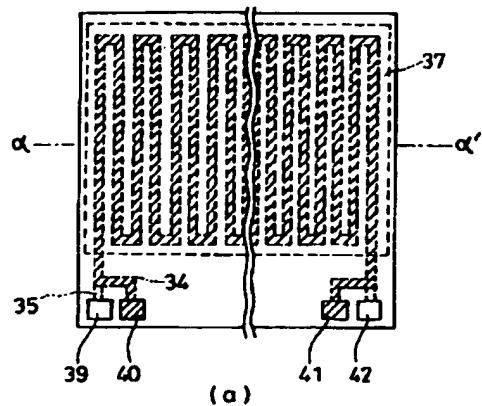
(a)

【図5】

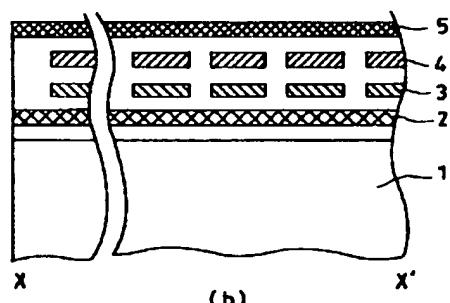
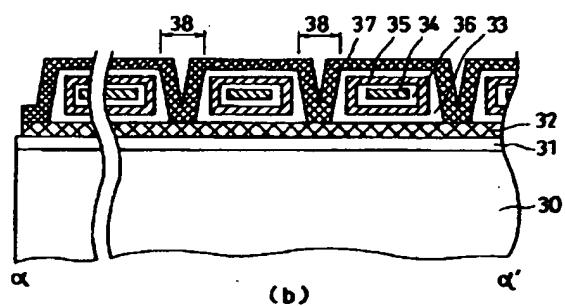
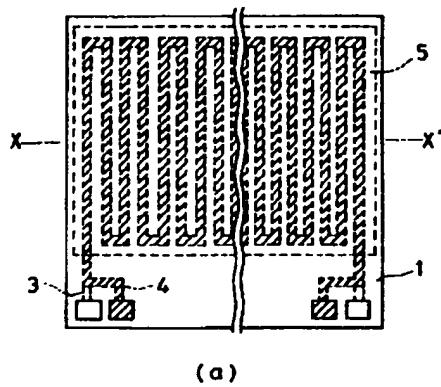


(b)

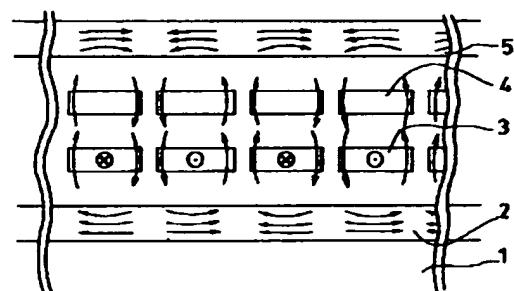
【図6】



【図8】



【図9】



【図10】

